

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267063

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01F 17/00  
H01F 41/04

(21)Application number : 04-065365

(71)Applicant : TDK CORP

(22)Date of filing : 23.03.1992

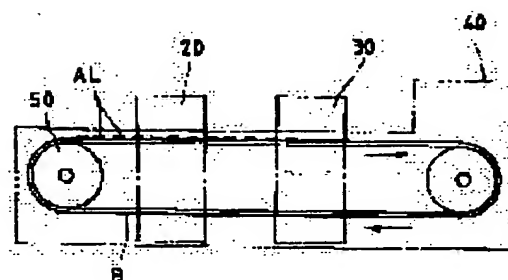
(72)Inventor : TAKATANI MINORU

## (54) CERAMIC LAMINATED COMPONENT AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To obtain ceramic laminated components which use a void-free metal layer as an inner electrode and a manufacturing method which reduces manhours and production cost as well.

**CONSTITUTION:** A ceramic laminated component comprises lamination structure between a ceramic layer and an inner electrode layer where a metal layer is used as the inner electrode layer based on a thin film formation method. A substrate Al is loaded on a transfer belt 50. A ceramic layer print section 20, a kiln 30 and a thin film formation device 40 are allowed to pass during their transfer passage. This repetition forms a specified number of laminated ceramic layers. In this case, ceramic powder whose average grain size is  $1\mu\text{m}$  is used as a raw material for the ceramic layer and baked only one time.



## LEGAL STATUS

[Date of request for examination] 23.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3126795

[Date of registration] 02.11.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5-267063

(43) 公開日 平成5年(1993)10月15日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F	17/00	D 7129-5 E		
	41/04	C 8019-5 E		

審査請求 未請求 請求項の数 8

(全 6 頁)

(21) 出願番号 特願平4-65365

(22) 出願日 平成4年(1992)3月23日

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋一丁目13番1号

(72) 発明者 高谷 稔

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

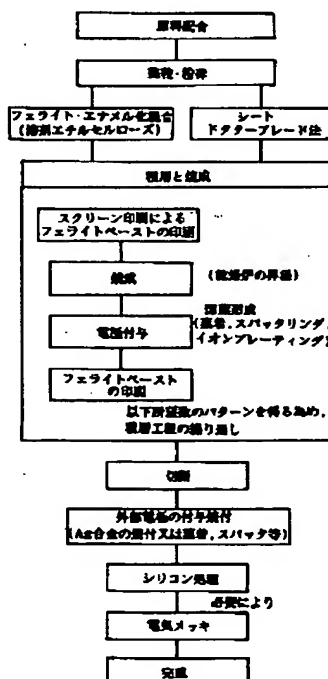
(74) 代理人 弁理士 三澤 正義

(54) 【発明の名称】 セラミック積層部品及びその製造法

(57) 【要約】

【目的】 空孔のない金属層を内部電極としたセラミック積層部品を得ること、及び工程数の減少、低コスト化の図れる製法を提供すること。

【構成】 本発明のセラミック積層部品は薄膜形成法による金属層を内部電極として、セラミック層と内部電極層との積層構造からなるものである。また、本発明の製造方法は、移動ベルト上に基板を載置し、移動経路中にセラミック層印刷部、焼成炉、薄膜電極形成装置を通過させ、これを繰返すことにより所望数の積層セラミック層を形成するものである。この場合、セラミック層の原料として1 $\mu$ m以下の平均粒径のセラミック粉末を用いることによって1回焼成するようにしている。



## 【特許請求の範囲】

【請求項1】 薄膜形成法による金属層を内部電極として、セラミック層と内部電極層との積層構造からなることを特徴とするセラミック積層部品。

【請求項2】 薄膜形成法による空孔のない金属層を内部電極として、セラミック層と内部電極との積層構造からなることを特徴とする請求項1記載のセラミック積層部品。

【請求項3】 セラミック層は800℃前後の1回焼成のみで焼成することを特徴とする請求項1又は2記載のセラミック積層部品。

【請求項4】 セラミック層の原料は平均粒径1μm以下のものを使用し、800℃前後で焼成される請求項1記載のセラミック積層部品。

【請求項5】 薄膜形成法はスパッタリング、蒸着法、イオンプレーティング法、溶射法、イオンビーム法、気相成長法等からなることを特徴とする請求項1記載のセラミック積層部品。

【請求項6】 薄膜形成法による内部電極の金属はCu、Ag、Ni、Sn、Zn、Al、又はこれらの1種以上からなることを特徴とする請求項1乃至3のいずれかに記載のセラミック電子部品。

【請求項7】 移動するベルト上に基板を載置し、この基板の上にセラミック層を形成し、移動するベルトで焼成炉を通過し、焼結されたセラミック層上に金属を薄膜形成する薄膜形成装置を移動するベルトで通過し、以降セラミック層と金属と順次所望数積層する為に移動ベルトで積層工程を繰返すことを特徴とするセラミック積層部品の製造法。

【請求項8】 移動するベースシート上にセラミック層を形成し、移動するベースシートで焼成炉を通過し、焼結されたセラミック層上に金属を薄膜形成する薄膜形成装置を移動するベースシートで通過し、以降セラミック層と金属と順次所望数積層する為に、移動ベースシート積層工程を繰返すことを特徴とするセラミック積層部品の製造法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は積層形セラミック部品、特に積層形チップインダクターとその製造法に関するものである。

## 【0002】

【従来の技術】従来のチップインダクターは導線を巻いて製造されているが工程が複雑で寸法が大きくなるなどの欠点を有し、エレクトロニクスのマイクロ化に対応すべく、軽薄短小に対応出来ない。

【0003】そこで本発明者等は、従来のこのようなインダクターの概念を超えて全く新しい積層技術によるインダクターの製造法を特願昭53-161221号（特公昭57-39521）で提案した。

【0004】同技術は図4に示した工程からも明らかのように、印刷積層技術であり、フェライト粉末等を混練したペーストは原料の平均粒径が1μm以上の為1000℃以上の焼成温度が必要で、フェライトの焼成温度に耐える金属粉末（Pd、Pd-Ag）とガラスフリット含有ペーストとを薄膜状にコイル導体となるパターンを印刷した積層体を焼成して内部コイル導体と磁性体の一体焼結であり、磁性体層により、絶縁を行ないながら、内部にコイル状の導電路を形成するものである。こうして一体焼結された積層体は両端部に外部電極が形成されてチップ状インダクターが完成する。

## 【0005】

【発明が解決しようとする課題】しかしながら、これらのセラミック積層部品は原料粉体にバインダーを加え、シート又はスラリー状としてセラミック層とコイル導体として構成されるPd、Pd-Ag等の電極ペーストの印刷を交互に積層印刷後、チップブロックを得た後、高温で焼成して焼結体を得るが、従来のフェライト材は平均粒径が1μm以上であって、焼結温度が1000℃以上必要である為、積層インダクターのコイル導体となる内部電極はPd-Ag合金のPd含有率を25%以上にする必要があった。しかし、Pd含有率が大きいとコスト高以外に導体の直流抵抗が大きくなり、積層インダクターのQ値の低下を招く。その為、フェライトの焼成温度を下げて導体中のPd含有率を低くすることが実現出来れば大幅なコストダウンになる。

【0006】通常フェライトの焼成温度を下げる為にV<sub>2</sub>O<sub>5</sub>等の低融点添加物を添加しているがV<sub>2</sub>O<sub>5</sub>等の低融点添加物と導体とのPd、Agとが反応したり、Agの磁性体への拡散を生じて導体の断線や短絡を招く難点がある。また、焼成温度に耐える関係上、Pd、Pd-Ag合金等の貴金属を必要とするが積層数が多い為、電極のコストの比率が大きい。

【0007】ここでコイル導体となる内部電極は貴金属粉末70%とバインダー30%の混合物ペーストであり焼結後はバインダーの焼失分があり金属粒子間に必ずボア等の空孔（金属粒子間の空隙）が発生して固有抵抗が劣化してQ値を大幅にダウンさせる為に、Q値を維持する為にある程度の電極厚みを必要としている為に薄型化に限度がある。これがコイル導体が焼結された金属粒子間に空孔のない金属層を形成することは、金属層ムクの状態の1.3乃至1.5倍の厚みが必要となり、現状の印刷積層法、シート積層工程で行なうコイル導体の電極ペースト印刷法では避けられないものである。従って、金属粒子間に空孔のないコイル導電体の形成を可能にする方法として、薄膜形成法による蒸着、スパッタリング、イオンプレーティング法による薄膜金属の付着が考えられるが、前述の印刷積層工法、シート積層工法ではセラミック層を未焼成セラミック層を用いている為に、薄膜金属層が付着出来ないという問題点がある。

【0008】そこで本発明は、この難点に鑑み、鋭意研究の結果、効果的に従来の問題点を解決することを目的とするものである。

【0009】

【課題を解決するための手段】本発明のセラミック積層部品は薄膜形成法による金属層を内部電極として、セラミック層と内部電極層との積層構造からなるものである。

【0010】また、本発明の製造方法は、移動ベルト上に基板を載置し、移動経路中にセラミック層印刷部、焼成炉、薄膜電極形成装置を通過させ、これを繰返すことにより所望数の積層セラミック層を形成するものである。この場合、セラミック層の原料として $1\mu\text{m}$ 以下の平均粒径のセラミック粉末を用いることによって1回焼成するようにしている。

【0011】

【作用】上記構成を採用することにより、薄膜形成法を用いるので空孔のない金属層を内部電極としたセラミック積層部品を得ることが出来、また製造工程においても1回焼成として従来の如き仮焼成を不要とすることが出来るので工程数の減少及び低コスト化を図ることが出来る。

【0012】

【実施例】以下図面を参照して本発明の一実施例を詳細に説明する。

【0013】図1は本発明のセラミック積層部品の製造方法を工程順に示したフローチャートであり、図2はその製造方法を実施する為の装置の概略図であり、図3は、その製造方法を工程順に示す平面図及び側断面図である。

【0014】先ず、図2の装置から説明すれば、50はベルトコンベアであり、一方向に移動するベルトB上に基板ALが載置されて矢印方向に移動されるようになっている。そして、この移動経路中に順次セラミック層印刷部20、焼成炉30、薄膜電極形成装置40が配置されている。

【0015】次に図1及び図3をも参照して本発明のセラミック積層部品の製造方法を説明する。尚、図3において(A)、(B)、(C)…は工程の順序を示す符号であり、各工程中の図示左側が平面を示し、右側が側断面図を示している。

【0016】先ず図1に示す如く磁性体の組成原料として必要なFeを主体とする磁性材として、Fe、Ni、Cu、Znの原料を所望量配合し、整粒、粉碎した平均粒径 $1\mu\text{m}$ 以下、この実施例では $0.5\mu\text{m}$ 以下のフェライト粉末にエチルセルローズ、ブチラール樹脂等の公知の適宜のバインダー及び溶剤と混練してフェライトエナメルペースト1を得る。

【0017】この原料の平均粒径が $1\mu\text{m}$ 以下であれば $800^{\circ}\text{C}$ 前後で焼成可能となる。従来は平均粒径が $1\mu$

m以上の為、焼成温度が $1000^{\circ}\text{C}$ 以上必要の為、その温度に耐える為、Pd含有量が25%以上とすることが必要であった。

【0018】このペーストをアルミ基板AL上に図1の工程順にスクリーン印刷法により、フェライトペースト1を印刷し、移動して $800^{\circ}\text{C}$ 前後で焼成し、移動してこの焼成体に薄膜電極形成装置により、蒸着により、Ag又はCu電極2が形成される(図3の(A)、

(B))。必要数のコイル導体を得る為に図1の工程順にベルトが多数移動してコイル導体のパターンとを得る為に多数繰返しが行なわれ、積層体を構成していく。つまり、電極パターン2の下半分を覆うようにフェライトペースト3を印刷し、という工程を繰返して積層インダクターを構成する(図3の(A)乃至(K))。

【0019】必要数のコイル導体パターンが終るとアルミ基板上の積層体を所望のサイズにカッター、ワイヤソー等で切断してチップを得てこのチップの両端部に外部電極としてフリット含有Agペーストを付与、焼付けて外部端部電極15が構成される(図3の(L))。この場合、外部端部電極15はコイル導体パターンを形成する薄膜形成法によって構成してもよい。

【0020】半田付時の電極喰われを防止する為、この上に電気メッキによりAg、Cu、Pb/Snメッキ膜が多層メッキする為に、通常、電気メッキ液が磁性体表面の細孔に侵入したり、湿気の侵入等により、特性劣化を招くので、磁性体表面にシリコン、ワックス等の油脂が表面処理されて完成する。

【0021】尚、本実施例ではセラミック層をフェライトエナメルによる印刷積層工法について触れたが、フェライトシートをドクターブレード装置で数 $\mu\text{m}$ 乃至数十 $\mu\text{m}$ のシートを作成し、このフェライトシートを前述の焼成、コイル導体の薄膜形成との多数の繰返しによる積層工法でも同様の製造は可能である。

【0022】尚、本実施例では特に積層チップインダクターについて触れたがセラミック誘電体と内部電極との交互の積層体からなる、積層形コンデンサはセラミック層の組成と粒径の選択により、 $800^{\circ}\text{C}$ 前後で焼結出来るのであれば可能である。積層形インダクターと積層形コンデンサの貼合せ構成であるLC積層型フィルタ等、本発明及び、製造法により任意である。

【0023】

【発明の効果】以上詳述した本発明のセラミック積層部品及びその製法によって以下の如き種々の効果が得られる。

【0024】(1) セラミック層とコイル導体層を低温で焼成を自動的に製造を可能としたもの。

【0025】(2) コイル導体は金属粒子間に空孔がない薄膜が形成出来る為、固有抵抗が高く導体を狭く、薄く形成出来るので、Q値が大きい小型の低コスト版が可能になった。

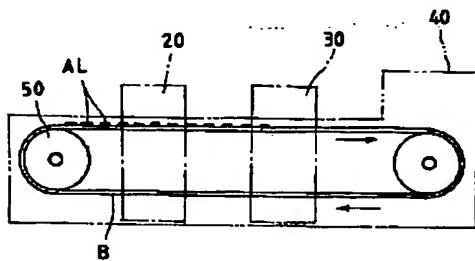
【0026】(3) コイル導体は薄膜形成法によるので低コストのCu, Ag, Ni, Al, Zn等の金属が使用出来るので、大幅なコストダウンが可能となった。

【0027】(4) 従来の焼成は図4に示す如く、原料配合時の仮焼と焼成の2度焼成が行なわれているが、その理由として、複雑な組成の場合の組成ズレや焼成時の変形を防止することを目的としてセラミック材料は全般に行なわれている。本発明によるとセラミック層原料の粒径 $1\mu\text{m}$ 以下を用いるので従来のように仮焼を行なう必要がなく、1回の焼成のみで良い。

【図面の簡単な説明】

【図1】本発明の製法を工程順に示すフローチャート

【図2】



【図2】本発明製法の実施に用いられる装置の概略図

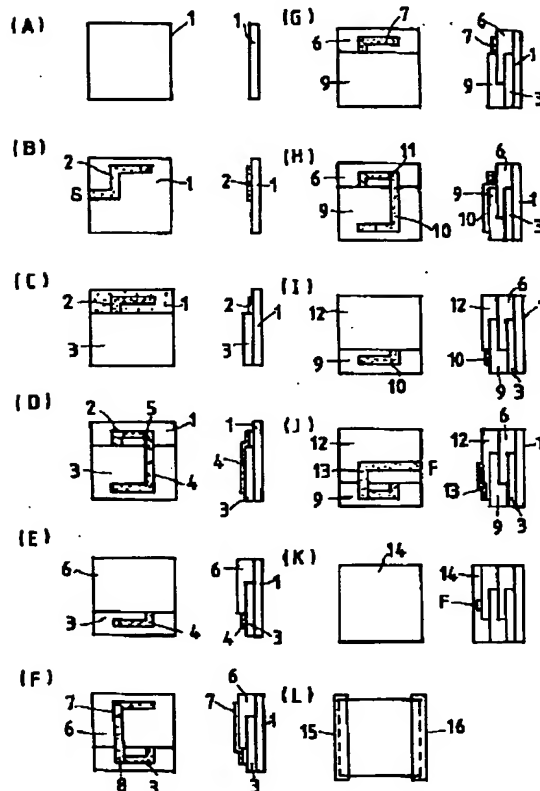
【図3】本発明の製法を工程順に示すそれぞれ平面図、側断面図

【図4】従来の製法を工程順に示すフローチャート

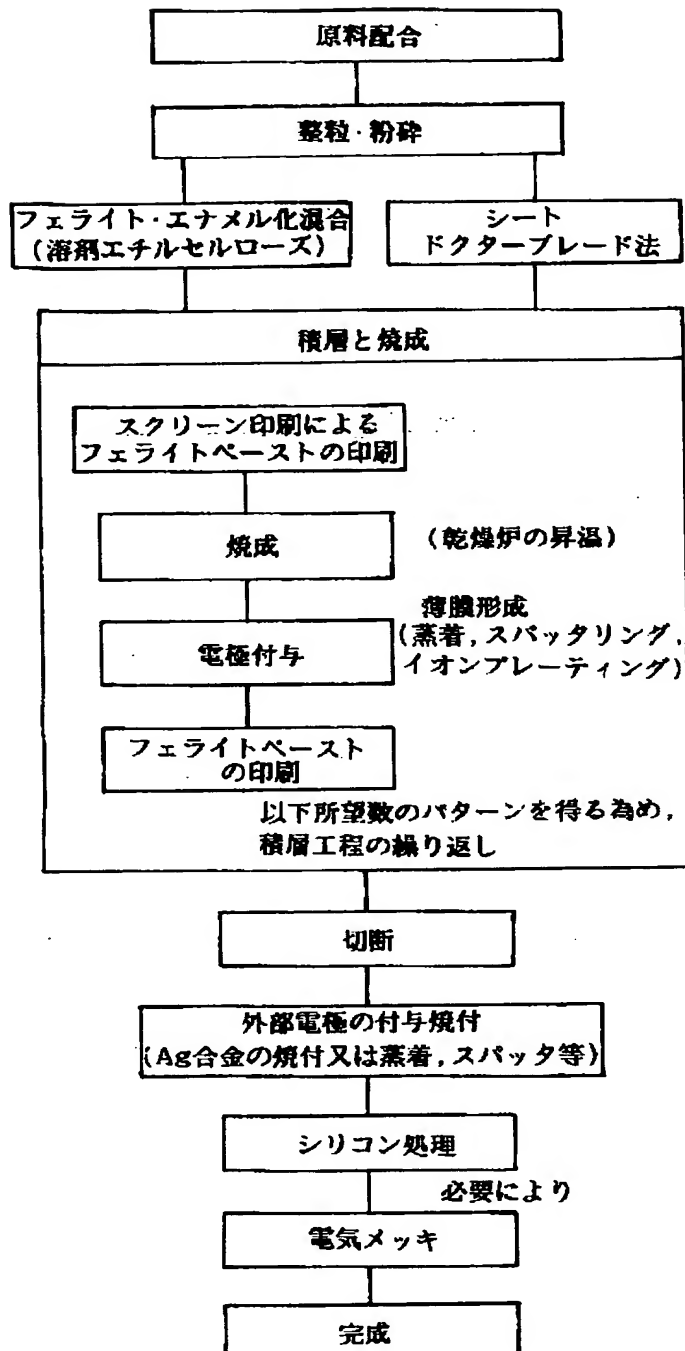
【符号の説明】

- 1 フェライトペースト
- 2 電極パターン
- 20 セラミック層印刷部
- 30 焼成炉
- 40 薄膜電極形成装置
- 50 ベルトコンベア

【図3】



【図1】



【図4】

